

IN THE U.S. PATENT AND TRADEMARK OFFICE

#2
18 Mar 02
F. Talley

JC971 U.S. PRO
10/028432
12/28/01

Applicant(s): LEE, Myoung Goo et al.

Application No.:

Group:

Filed: December 28, 2001

Examiner:

For: MULTI-FINGER TYPE ELECTROSTATIC DISCHARGE PROTECTION
CIRCUIT

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

December 28, 2001
0630-1290P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2000/87295	12/30/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

LEE, Myoung Goo et al.
December 29, 2001
BSKB, LLP
(703) 205-8000
0630-1290P
1 of 1

JCS71 U.S. PTO
10/028432
12/28/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

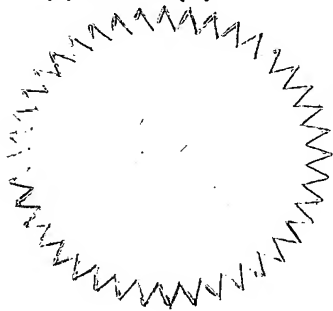
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 87295 호
Application Number

출원년월일 : 2000년 12월 30일
Date of Application

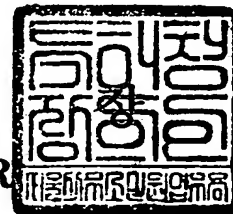
출원인 : 현대전자산업주식회사
Applicant(s)



2001 01 17
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2000. 12. 30
【국제특허분류】	H01L 27/00
【발명의 명칭】	멀티 -핑거구조의 E S D 보호회로
【발명의 영문명칭】	ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT HAVING MULTI-FINGER STRUCTURE
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-057677-7
【발명자】	
【성명의 국문표기】	이명구
【성명의 영문표기】	LEE, Myung Goo
【주민등록번호】	691122-1400318
【우편번호】	361-480
【주소】	충청북도 청주시 흥덕구 향정동 50번지 현대반도체 남자기 숙사 B동 9 18호
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍배
【성명의 영문표기】	PARK, Hong Bae
【주민등록번호】	700119-1823118
【우편번호】	361-480
【주소】	충청북도 청주시 흥덕구 향정동 50번지 현대반도체 남자기 숙사 B동 9 18호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)

【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 586,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 NMOS트랜지스터의 멀티-핑거구조를 이용하여 ESD보호회로를 설계할 때 2개의 게이트만이 하나의 액티브영역상에 형성된 NMOS트랜지스터를 병렬로 접속하여 모든 게이트핑거가 균일하게 기생 npn바이폴라 동작을 수행할 수 있도록 한다. 또한, 본 발명은 액티브영역사이에 n+ 또는 p+액티브영역을 배치하여 Vcc 또는 Vss 레퍼런스 ESD펄스를 더욱 효과적으로 방출한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

멀티-핑거구조의 ESD 보호회로{ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT
HAVING MULTI-FINGER STRUCTURE}

【도면의 간단한 설명】

도 1은 종래의 멀티-핑거구조를 갖는 ESD 보호회로의 레이아웃.

도 2는 도 1에 도시된 멀티-핑거 NMOS트랜지스터로 구현된 ESD 보호회로.

도 3은 본 발명에 따른 멀티-핑거 NMOS트랜지스터의 레이아웃을 나타낸 도면.

도 4는 도 3에 도시된 멀티-핑거 NMOS트랜지스터로 구현된 ESD 보호회로.

*** 도면의 주요 부분에 대한 부호의 설명 ***

200,201 : 액티브 영역 202,205 : 드레인영역

203,204 : 게이트 206 : 소스영역

207 : 가드링

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 ESD(Electrostatic discharge)보호회로에 관한 것으로서, 특히 멀티-핑거 (Multi-Finger)구조를 갖는 MOS 타입의 ESD보호회로에 관한 것이다.
- <10> 일반적으로 ESD특성은 ESD보호회로를 구성하고 있는 MOS트랜지스터가 외부로부터 입력된 ESD펄스를 어떻게 적절히 외부로 방출할 수 있는지에 의해 좌우된다. 따라서, 충분한

ESD펄스를 방출시키기 위하여 일반적으로 ESD보호회로는 하나의 액티브상에 다수의 게이트를 연속적으로 배치시키는 멀티-핑거(Multi-Finger)구조를 갖는다.

<11> 도 1은 종래 멀티-핑거구조의 ESD보호회로의 레이아웃이다.

<12> 100은 액티브영역(Active region)이고, 101은 n+타입의 소스영역이며, 102는 n+타입의 드레인영역이다. 또한, 103은 게이트이고, 104는 콘택(contact)이며, 105는 벌크(기판) 바이어스용인 p+타입의 액티브영역이다.

<13> 도 1에 도시된 바와같이, 멀티-핑거 NMOS트랜지스터구조는 하나의 액티브영역(100)상에 다수의 게이트(게이트 핑거)(103)가 멀티-핑거로 연속하여 배치되며, 게이트(103)의 좌우에는 소스(101) 및 드레인영역(101)이 대칭적으로 배치된다.

<14> 이때, 드레인영역(102)은 입력 또는 출력패드에 접속되고, 소스영역(101)과 액티브영역(105)은 접지(Vss)에 접속된다. 그리고, 게이트(103)는 접지(Vss)에 접속되는데 해당 NMOS트랜지스터가 풀-다운 트랜지스터로 사용될 경우에는 풀-다운 인버터의 출력에 접속된다.

<15> 입/출력 패드를 통하여 Vcc 레퍼런스(reference)로서 양(+)의 ESD펄스가 인가되면 해당 ESD펄스는 소스영역(101)의 n+접합(Junction)과 드레인영역(102)의 n+접합(Junction)간의 기생 npn 바이폴라 동작에 의해 방출된다.

<16> 반면에, 입/출력 패드를 통하여 Vss 레퍼런스로서 음(-)의 ESD펄스가 인가되면, 해당 ESD펄스는 드레인영역(102)의 n+접합과 액티브영역(105)의 p+접합사이의 순방향 np다이오드 동작에 의해 방출된다.

<17> 그리고, 도 1에 도시된 멀티-핑거 NMOS트랜지스터로 구현된 ESD 보호회로는 도 2에 도시

되어 있다.

- <18> 상술한 바와같이 입/출력 패드로 V_{cc} 레퍼런스 ESD펄스가 인가되면 NMOS트랜지스터(10)는 소스영역의 n+접합과 드레인영역의 n+접합간의 npn 바이폴라 동작을 통하여 ESD펄스를 방출한다.
- <19> 그런데, 전형적인 멀티-핑거 NMOS트랜지스터 구조에서는 ESD펄스 인가시 일부 게이트 핑거가 턴온되지 않을 수 있다. 그 결과, 모든 게이트 핑거들에 대하여 균일한 npn바이폴라 동작이 이루어지지 않고 일부 게이트 핑거에 대한 기생 npn바이폴라 동작만이 국지적으로 일어나게 되어, 다른 게이트 핑거가 기생 npn 바이폴라동작을 하지 못하게 된다. 이러한 현상은 멀티-핑거 NMOS트랜지스터의 수가 증가될수록 더욱 심화되기 때문에 종래의 ESD 보호회로는 설계한대로 ESD 보호성능을 발휘하지 못하게 된다.
- <20> 그리고, 입/출력 패드로 V_{ss} 레퍼런스 ESD펄스가 인가되면 NMOS트랜지스터는 드레인영역의 n+접합과 액티브영역의 p+접합간의 순방향 np 다이오드동작을 통하여 ESD펄스를 방출한다. 그런데, 전형적인 멀티-핑거 NMOS트랜지스터 구조에서는 모든 드레인영역의 n+접합이 액티브영역의 p+접합에 대하여 균일한 저항을 갖을 수없기 때문에 종래의 ESD보호회로는 ESD펄스의 방출성능이 떨어지는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 본 발명의 목적은 멀티-핑거 NMOS트랜지스터구조의 ESD 보호회로에서 ESD 보호성능을 향상시킬 수 있는 ESD보호회로를 제공하는데 있다.
- <22> 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 ESD보호회로는 NMOS트랜지스터의 멀티-핑거구조를 이용하여 ESD보호회로를 설계할 때 하나의 액티브상에 2개의 게이트만

이 형성된 NMOS트랜지스터를 병렬로 접속하여 모든 게이트핑거가 균일하게 기생 npn바이폴라 동작을 수행할 수 있도록 한다. 또한, 본 발명은 액티브영역사이에 n+ 또는 p+액티브영역을 배치하여 Vcc 또는 Vss 레퍼런스 ESD펄스를 더욱 효과적으로 방출한다.

【발명의 구성 및 작용】

<23> 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 설명하면 다음과 같다.

<24> 도 3는 본 발명에 따른 ESD보호회로의 레이아웃이다.

<25> 도 3에 도시된 바와같이 본 발명에 따른 ESD보호회로는 하나의 액티브영역(200)상에 2개의 게이트(203), (204)를 형성하고, 액티브영역(200)의 양쪽 끝의 n+접합에 드레인영역(202), (205)들을 각각 형성한다.

<26> 또한, 두 게이트(203), (204)사이의 n+접합에는 소스영역(206)을 형성하고, 각 액티브영역(200)사이에는 소정 타입의(n+ 또는 p+)액티브영역(201)이 배치된다. 또한, 멀티-핑거 NMOS트랜지스터의 외부에는 종래와 동일하게 가드링(guard ring)인 p+타입의 액티브영역(207)을 형성한다.

<27> 이때, 드레인영역(202), (205)들은 입력 또는 출력패드에 접속되고, 소스영역(206)은 접지(Vss)에 접속되며, 2개의 게이트(203), (204)는 접지(Vss) 또는 풀-다운 인버터의 출력(풀-다운 트랜지스터로 사용될 경우)에 접속된다. 또한, 액티브영역(200)사이에 형성된 n+액티브영역(201)은 Vcc에 접속된다(p+액티브영역일 경우는 Vss).

<28> 이와같이 구성된 본 발명에 따른 ESD보호회로의 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

<29> ① 각 액티브(200)사이에 n+액티브영역을 형성할 경우

- <30> 입/출력 패드를 통하여 양(+)의 ESD펄스가 인가되면, 인가된 ESD펄스는 드레인 영역 (202)과 소스영역(206)의 n+접합(Junction)사이의 npn 바이폴라 동작을 통하여 방출되는 동시에 드레인영역(205)과 n+액티브영역(201)사이의 기생 npn바이폴라 동작에 의해 방출된다.
- <31> 반면에 입/출력 패드를 통하여 음(-)의 ESD펄스가 인가되면, 인가된 ESD펄스는 드레인 영역(202)의 n+접합과 액티브영역(207)의 p+접합사이의 np다이오드 동작을 통하여 방출된다.
- <32> ② 각 액티브(200)사이에 p+액티브영역을 형성할 경우
- <33> 입/출력 패드를 통하여 양(+)의 ESD펄스가 인가되면, 인가된 ESD펄스는 드레인 영역 (202)과 소스영역(206)의 n+접합(Junction)사이의 npn 바이폴라 동작을 통하여 방출된다.
- <34> 반면에 입/출력 패드를 통하여 음(-)의 ESD펄스가 인가되면, 해당 ESD펄스는 드레인 영역(202)의 n+접합과 액티브영역(207)의 p+접합사이의 np다이오드 동작을 통하여 방출되는 동시에 드레인영역(202)과 p+액티브영역(201)사이의 순방향 np다이오드 동작에 의해 방출된다.
- <35> 그리고, 도 3에 도시된 멀티-핑거 NMOS트랜지스터로 구현된 ESD 보호회로는 도 4에 도시되어 있다.
- <36> 상술한 바와같이 본 발명은 NMOS타입의 ESD보호회로를 설계할 때 모든 게이트 핑거가 균일하게 npn 바이폴라동작을 할 수 있도록 2개의 게이트만 하나의 액티브상에 형성한 후 상기 형태를 병렬로 구성한다. 또한, 본 발명은 각 액티브영역사이에 추가로 Vcc(또는

Vss)에 접속된 n+타입(또는 p+타입)의 액티브영역을 형성하여 ESD펄스를 효과적으로 방출한다.

<37> 또한, 본 발명은 하나의 액티브영역에 형성되는 게이트의 수를 2개로 한정하지 않으며, 하나의 액티브영역에 2개 이상의 게이트가 형성할 수도 있다.

<38> 그리고, 본 발명에서 선행된 실시예들은 단지 한 예로서 청구범위를 한정하지 않으며, 여러가지의 대안, 수정 및 변경들이 통상의 지식을 갖춘자에게 자명한 것이 될 것이다.

【발명의 효과】

<39> 상술한 바와같이, 본 발명은 종래와 같이 NMOS타입의 ESD보호회로를 설계할 때 하나의 액티브영역상에 모든 게이트를 형성하지 않고 하나의 액티브영역상에 2개의 게이트만을 형성한다. 따라서, 상기 NMOS타입의 ESD보호회로를 병렬로 연결하여 ESD보호회로를 구현할 때 본 발명은 각 드레인/소스간에 발생하는 기생 npn바이폴라 동작이 균일하게 유지할 수 있기 때문에 동일한 게이트핑거를 사용할 경우 종래보다 훨씬 우수한 ESD특성을 얻을 수 있는 효과가 있다.

<40> 또한, 본 발명은 2개의 게이트로 구성된 각 액티브영역사이에 n+접합(또는 P+접합)의 액티브영역을 추가로 형성하여 Vcc(또는 Vss)에 접속한다.

<41> 따라서, 본 발명은 패드에 연결되는 드레인영역의 n+접합과 추가 접속된 액티브영역의 n+접합사이의 기생 npn바이폴라 동작을 통하여 양의 ESD펄스를 효과적으로 방출할 수 있는 효과가 있다. 또한 본 발명은 패드에 연결되는 드레인영역의 n+접합과 추가 접속된

액티브영역의 p+접합사이의 기생 np다이오드동작을 통하여 음의 ESD펄스를 효과적으로 방출할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판과;

반도체 기판상에 분리 형성된 복수의 액티브 영역과'

각 액티브영역상에 형성된 2개의 게이트로 구성된 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 2】

제1항에 있어서, 상기 각 액티브영역사이에

소정 타입의 액티브를 추가로 형성하는 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 3】

제2항에 있어서, 상기 소정 타입의 액티브는

Vcc에 접속되는 n+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 4】

제2항에 있어서, 상기 소정 타입의 액티브는

Vss에 접속되는 p+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 5】

제1항에 있어서, 상기 각 액티브영역에서 양쪽 끝의 n+접합에는

드레인영역이 형성되는 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 6】

제1항에 있어서, 상기 각 액티브영역에서 2개의 게이트사이에는 소스영역이 형성되는 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 7】

반도체 기판과;

반도체 기판상에 분리 형성된 복수의 액티브 영역과'

각 액티브영역상에 형성된 2개의 게이트와;

각 액티브영역사이에 형성된 소정 타입의 액티브영역으로 구성된 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 8】

제7항에 있어서, 상기 소정 타입의 액티브영역은

Vcc에 접속되는 n+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 9】

제7항에 있어서, 상기 소정 타입의 액티브영역은

Vss에 접속되는 P+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 10】

제7항에 있어서, 상기 각 액티브영역에서 양쪽 끝의 n+접합에는

드레인영역이 형성되는 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 11】

제7항에 있어서, 상기 각 액티브영역에서 2개의 게이트사이에는 소스영역이 형성되는 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 12】

반도체 기판과;

반도체 기판상에 분리 형성된 복수의 액티브 영역과'

각 액티브영역상에 형성된 2개의 게이트와;

각 액티브영역에서 양쪽 끝의 n+접합에 형성된 드레인영역과;

각 액티브영역에서 2개의 게이트사이에 형성된 소스영역과;

각 액티브영역사이에 형성된 소정 타입의 액티브영역으로 구성된 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【청구항 13】

제12항에 있어서, 상기 소정 타입의 액티브영역은

Vcc에 접속되는 n+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

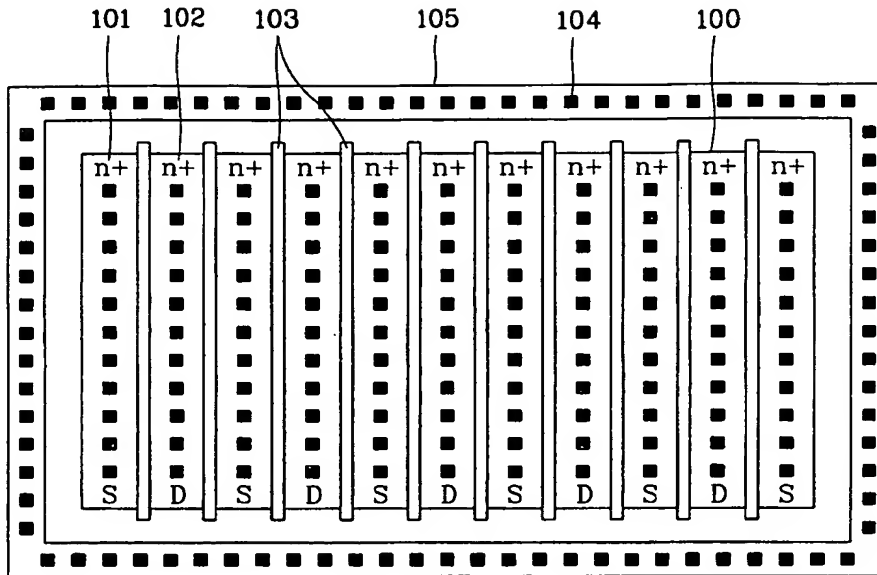
【청구항 14】

제12항에 있어서, 상기 소정 타입의 액티브영역은

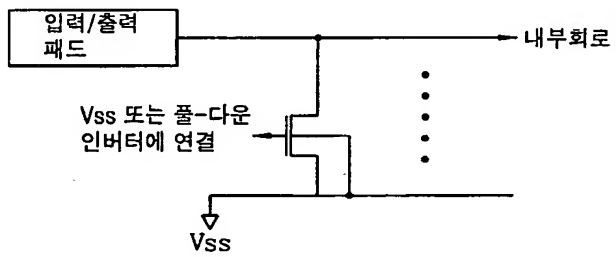
Vss에 접속되는 P+접합인 것을 특징으로 하는 멀티-핑거구조의 ESD 보호회로.

【도면】

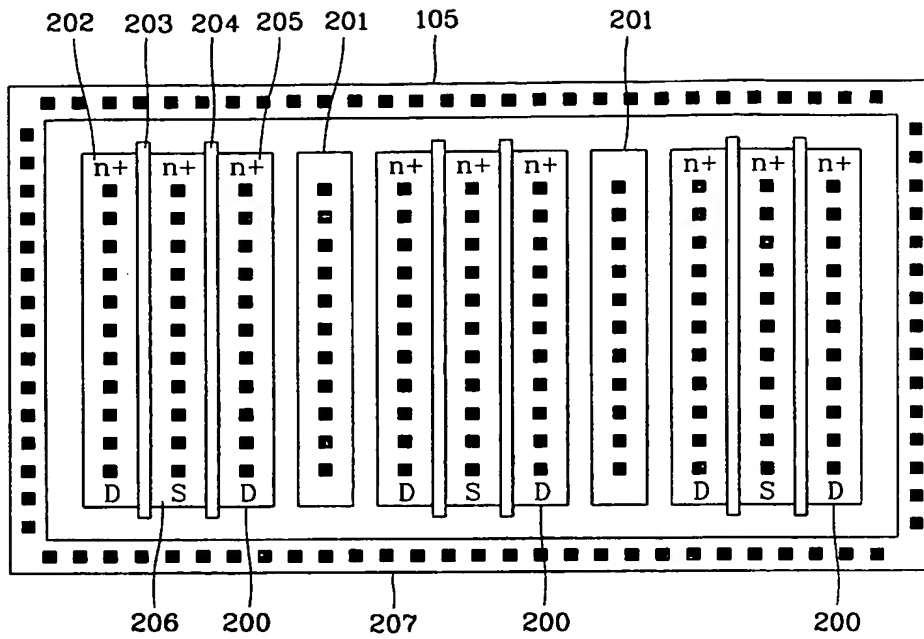
【도 1】



【도 2】



【도 3】



【도 4】

